

EUROPEAN PATENT OFFICE

BA

Patent Abstracts of Japan

PUBLICATION NUMBER : 03112138
PUBLICATION DATE : 13-05-91

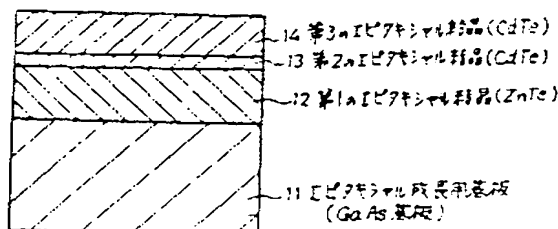
APPLICATION DATE : 26-09-89
APPLICATION NUMBER : 01251680

APPLICANT : FUJITSU LTD;

INVENTOR : SUGIYAMA IWAO;

INT.CL. : H01L 21/363 H01L 21/203

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To form a hetero epitaxial crystal having small dislocation density by heat treating an epitaxially growing substrate by a heat cycle of lower, higher and lower temperatures than the growing temperature of an epitaxial crystal.

CONSTITUTION: A first epitaxial crystal 12 having larger lattice constant and larger thermal expansion coefficient than those of an epitaxially growing substrate 11 is grown on the substrate 11. Then, a second epitaxial crystal 13 having a larger lattice constant and a smaller thermal expansion coefficient than those of the substrate 11 is grown on the crystal 12. Then, the substrate 11 is heat-treated in an atmosphere containing composing atoms of the crystals 12, 13 by a plurality of temperature cycles of lower, higher and lower temperatures than the growing temperature of the crystal 13. Thereafter, a third epitaxial crystal 13 formed of the same atoms as the composing atoms of the crystal 12 is grown in a predetermined thickness on the substrate 11. Thus, a CdTe crystal having a larger lattice constant and a smaller thermal expansion coefficient can be heat-treated by a thermal cycle.

COPYRIGHT: (C)1991,JPO&Japio

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-112138

⑬ Int. Cl.³

H 01 L 21/363
21/203

識別記号

庁内整理番号

Z

7630-5F
7630-5F

⑭ 公開 平成3年(1991)5月13日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体結晶の製造方法

⑯ 特 願 平1-251680

⑰ 出 願 平1(1989)9月26日

⑱ 発 明 者 杉 山 暁 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体結晶の製造方法

2. 特許請求の範囲

エピタキシャル成長用基板(11)上に該基板より格子定数が大きく、かつ熱膨張率の大きい第1のエピタキシャル結晶(12)を成長し、

次いで該第1のエピタキシャル結晶(12)上に前記基板(11)より格子定数が大きく、かつ熱膨張率の小さい第2のエピタキシャル結晶(13)を成長し、

次いで該基板を第1および第2のエピタキシャル結晶の構成原子を含む雰囲気内で、かつ前記基板に形成した第2のエピタキシャル結晶の成長温度より低温、高温、および低温の温度サイクルを複数回繰り返して熱処理した後、

該基板上に第2のエピタキシャル結晶の構成原子と同一の原子で形成された第3のエピタキシャル結晶(14)を所定の厚さに成長することを特徴とする半導体結晶の製造方法。

3. 発明の詳細な説明

(概 要)

半導体基板上に該基板と格子定数の異なる半導体結晶をヘテロエピタキシャル成長する半導体結晶の製造方法に関し、

半導体基板上にヘテロエピタキシャル成長されるエピタキシャル結晶の転位密度が低減されるのを目的とし、

エピタキシャル成長用基板上に該基板より格子定数が大きく、かつ熱膨張率の大きい第1のエピタキシャル結晶を成長し、

次いで第1のエピタキシャル結晶上に前記基板より格子定数が大きく、かつ熱膨張率の小さい第2のエピタキシャル結晶を成長し、

次いで該基板を第1および第2のエピタキシャル結晶の構成原子を含む雰囲気内で、かつ基板上に形成した第2のエピタキシャル結晶の成長温度より低温、高温、および低温の温度サイクルを複数回繰り返して熱処理した後、

該基板上に第2のエピタキシャル結晶の構成原

子と同一原子で構成された第4のエピタキシャル結晶を所定の厚さに成長して構成する。

(産業上の利用分野)

本発明は半導体結晶の製造方法に関する。

赤外線検知素子形成材料としてエネルギーバンドギャップの狭い水銀・カドミウム・テルル($\text{Hg}_{1-x}\text{Cd}_x\text{Te}$)のような化合物半導体結晶が用いられている。

このような $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の結晶を素子形成に都合が良いように、大面積で薄層状態に形成する方法として $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 結晶と格子定数が接近したカドミウムテルル(CdTe)基板上に $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の結晶をエピタキシャル成長している。

ところで CdTe 基板は大面積の基板が入手し難く、大面積の基板が比較的入手し易いガリウム砒素(GaAs)基板上に CdTe 結晶をヘテロエピタキシャル成長してエピタキシャル成長用の CdTe 基板を形成している。

このような GaAs 基板上に該基板と格子定数の異

なる CdTe 結晶をエピタキシャル成長する場合、基板とエピタキシャル結晶との境界面より転位が発生し易く、この転位がエピタキシャル結晶内に増殖されるようになるので、このような転位の発生が少ないエピタキシャル結晶成長方法が要望されている。

(従来の技術)

従来、このようなヘテロエピタキシャル成長方法で、シリコン(Si)基板上にガリウム砒素(GaAs)結晶をヘテロエピタキシャル成長する際、該エピタキシャル結晶の転位密度を低減する方法として、第4図に示すように Si 基板1に GaAs 結晶層2を約 $1\mu\text{m}$ の厚さで形成後、該 GaAs 結晶層2上に該 GaAs 結晶層と格子定数が異なるアルミニウム・ガリウム・砒素(AlGaAs)結晶層3を 100\AA の厚さに形成し、更に GaAs 結晶層2'を 100\AA の厚さに形成し、これら GaAs 結晶層2'と AlGaAs 結晶層3を交互に複数層設けて歪超格子層4を形成し、この歪超格子層4上に GaAs 結晶層2を必要

とする所定の厚さに分子線エピタキシャル成長方法やMOCVD法等を用いて形成している。

このような歪超格子層4上に必要とする GaAs 結晶層2を形成すると、 Si 基板1と歪超格子層4の GaAs 結晶層の境界面1Aより発生した転位5は、歪超格子層内でエピタキシャル層外へ曲げられ、消滅するとされている。

またその他の方法として、前記 Si 基板上に GaAs 結晶層をエピタキシャル成長した後、該基板の温度を室温まで低下させた後、砒素(As)系ガス、或いは砒素分子の雰囲気内で該基板を 800°C の温度まで加熱した後、更に室温迄低下させ、更に 800°C まで温度上昇させて加熱するような熱処理を繰り返す熱サイクル処理方法が採られており、この熱サイクル処理方法は、前記した歪超格子を形成する方法に比較して容易である。

(発明が解決しようとする課題)

然し、このような熱サイクル処理方法で、基板に対して格子定数の異なるエピタキシャル結晶を

ヘテロエピタキシャル成長し、該形成されたエピタキシャル層の転位密度が少なくなるようにするには、下記の条件が必要となる。

- ① 基板とエピタキシャル結晶の間の熱膨張率差が大で、かつ基板の格子定数<エピタキシャル結晶の格子定数の時は、基板の熱膨張率<エピタキシャル結晶の熱膨張率とする。
- ② 基板とエピタキシャル結晶の間の熱膨張率差が大で、かつ基板の格子定数>エピタキシャル結晶の格子定数の時、基板の熱膨張率>エピタキシャル結晶の熱膨張率とする。

上記した Si 基板上に GaAs 結晶をヘテロエピタキシャル成長する場合は、 GaAs の格子定数の a_{GaAs} (5.653\AA)> Si の格子定数 a_{Si} (5.43\AA)で、 GaAs の熱膨張率 α_{GaAs} ($5.6\times 10^{-6}\text{K}^{-1}$)> Si の熱膨張率 α_{Si} ($2.6\times 10^{-6}\text{K}^{-1}$)で上記した①の条件を満足する。

然し、赤外線検知素子のような赤外線デバイスに用いられる GaAs 基板の上に CdTe 結晶をヘテロエピタキシャル成長する場合には、 CdTe の格子定数

a_{CdTe} (6.481 Å) > a_{GaAs} (5.653 Å) に対して、 CdTe の熱膨張率 α_{CdTe} ($4.6 \times 10^{-6} \text{ K}^{-1}$) < GaAs の熱膨張率 α_{GaAs} ($5.6 \times 10^{-6} \text{ K}^{-1}$) で、かつ熱膨張率差 $|\alpha_{\text{CdTe}} - \alpha_{\text{GaAs}}| = 0.7 \times 10^{-6} \text{ K}^{-1}$ と小さいために、①の条件を満足せず熱サイクル処理を行っても効果は殆ど無い。

本発明は上記した問題点を除去し、歪超格子層を形成する困難な結晶成長方法を用いずに、熱サイクル処理方法を用いた方法で半導体基板上に該基板と格子定数の異なるエピタキシャル結晶を転位密度を低下させたヘテロエピタキシャル成長する方法を目的とする。

(課題を解決するための手段)

上記目的を達成する本発明の方法は第1図に示すように、エピタキシャル成長用基板11上に該基板より格子定数が大きく、かつ熱膨張率の大きい第1のエピタキシャル結晶12を成長し、

次いで該第1のエピタキシャル結晶12上に前記基板11より格子定数が大きく、かつ熱膨張率の小さい第2のエピタキシャル結晶13を成長し、

長温度より低温、高温、および低温の温度サイクルで熱サイクル処理すると、第1のエピタキシャル結晶12とエピタキシャル成長用基板11との熱膨張率差の差によって生じる歪による応力が、第2のエピタキシャル結晶13にかかり、第2のエピタキシャル結晶の転位の増殖を防止し、また転位の消滅を促す。

この熱処理に於いて、更に第1のエピタキシャル結晶12の格子定数は、エピタキシャル成長用基板11の格子定数と第2のエピタキシャル結晶13の格子定数との中間の値を採るようにすると、一層望ましい結果となる。

このようにして、更に転位が低減された第2のエピタキシャル結晶13の上に、該結晶の構成原子と同一の構成原子のエピタキシャル結晶を第3のエピタキシャル結晶14として所定の厚さに成長すると、転位密度の少ない所望の第3の CdTe のエピタキシャル結晶が所定の厚さで得られる。

(実施例)

さい第2のエピタキシャル結晶13を成長し、

次いで該基板を第1および第2のエピタキシャル結晶の構成原子を含む雰囲気内で、かつ第2のエピタキシャル結晶の成長温度より低温、高温、および低温の温度サイクルを複数回繰返して熱処理した後、

該基板上に第2のエピタキシャル結晶の構成原子と同一の原子で形成された第3のエピタキシャル結晶14を所定の厚さに成長して構成する。

(作用)

本発明の方法は、エピタキシャル成長用基板11上に該基板より格子定数が大きく、かつ熱膨張率の大きい前記した条件①を満足する第1のエピタキシャル結晶12をまずエピタキシャル成長する。次いで基板より格子定数が大きく、かつ基板より熱膨張率が小さい条件②を満足しない第2のエピタキシャル結晶13を前記第1のエピタキシャル結晶より薄く形成する。このようなエピタキシャル成長用基板11を第2のエピタキシャル結晶13の成

以下、図面を用いて本発明の一実施例につき図面を用いて詳細に説明する。

第1図に示すように格子定数が5.653 Åで熱膨張率が $5.6 \times 10^{-6} \text{ K}^{-1}$ の GaAs 基板11上に、該基板より格子定数が大きく、かつ熱膨張率が大きい、つまり格子定数が6.10 Åで、熱膨張率が $8.9 \times 10^{-6} \text{ K}^{-1}$ のテルル化亜鉛(ZnTe)のエピタキシャル結晶を第1のエピタキシャル結晶12としてホットウォールエピタキシャル成長方法によって1 μmの厚さに320 °Cの成長温度にて形成する。

この方法は第2図(a)に示すように、加熱ヒータ21Aを有する基板設置台22上に前記 GaAs 基板11を設置し、ソース坩堝23に ZnTe ソース24を収容し、これらソース坩堝23および GaAs 基板11を容器25内に収容して該容器内部を高真空に排気する。そして ZnTe ソース24を加熱ヒータ21Bで加熱し、基板を320 °Cの温度に加熱して所定時間保つ。

第3図の41は第1のエピタキシャル結晶12の ZnTe のエピタキシャル結晶の成長温度プロファイルを示す。

次いで第1図に示すように、前記第1のエピタキシャル結晶12上に、前記基板より格子定数が大きい、熱膨張率は小さい、つまり格子定数が6.481 Åで熱膨張率が $4.9 \times 10^{-6} \text{K}^{-1}$ のCdTeより第2のエピタキシャル層13をホットウォールエピタキシャル成長方法で、320 °Cの基板の成長温度で0.1 μmの厚さに薄く形成する。

この第1のエピタキシャル結晶12上に第2のエピタキシャル結晶を形成する方法は、第2図(a)に示すように同一の容器25内に於いて、前記第1のエピタキシャル結晶12を形成したGaAs基板11を設置した基板設置台22を、CdTeソース27を収容したソース坩堝26上に移動させ、CdTeソース27を加熱ヒータ218で加熱し、基板を320 °Cの温度に加熱して所定時間保つ。

第3図の42はCdTeの第2のエピタキシャル結晶13の成長温度プロフィールを示す。

次いで第2図(c)に示すように同一の容器25内に於いて、前記第2のエピタキシャル結晶13を形成したGaAs基板11を、Znソース31およびCdソース32

を有するソース坩堝33上に移動させ、加熱ヒータ218の温度を所定の温度に保ち、該基板11をカドミウム(Cd)および亜鉛(Zn)の雰囲気中へ曝し、基板を180 °Cの温度より700 °Cの温度まで30分間で上昇させた後、該基板を700 °Cの温度より180 °Cの温度迄10分間掛けて降下させ、これを1サイクルとして数サイクル熱処理する。

第3図の43はこのような熱サイクル処理の温度プロフィールである。

その後、第2図(c)に示すように容器25内に於いて、前記基板をCdTeソース27を収容したソース坩堝26上に移動させ該基板の温度を320 °Cの温度で所定時間エピタキシャル成長し、CdTeよりなる前記第2のエピタキシャル結晶の構成原子と同一原子で形成された第3のエピタキシャル結晶14を所定の厚さに形成する。

このようにして第1図に示すように最上層にCdTeの第3のエピタキシャル結晶14が形成される。

このようにすると、GaAs基板11上に形成したZnTeの第1のエピタキシャル結晶12が前記した条件

②を満足するので熱処理が可能となり、この熱処理による歪によって、GaAs基板に対して熱膨張率が小さく、格子定数が大きい、熱サイクル処理が困難なCdTeの第2のエピタキシャル結晶13に応力が掛り、この応力によってCdTeの第2のエピタキシャル結晶13に発生する転位も消滅するようになり、その上に第2のエピタキシャル結晶の構成原子と同一の構成原子で形成された第3のエピタキシャル結晶14を形成すると転位密度の少ない高品質のCdTeのエピタキシャル結晶が、GaAs基板上にヘテロエピタキシャル成長できる。

(発明の効果)

以上の説明から明らかなように本発明によれば、GaAs基板に対して格子定数が大きく、かつ熱膨張率が小さいCdTeの結晶でも、熱サイクル処理が可能となるので、転位密度の少ないヘテロエピタキシャル結晶が形成される効果があり、このようにして形成された結晶を検知素子形成材料として用いると安価で高品質な検知素子が得られる効果が

ある。

4. 図面の簡単な説明

第1図は本発明の方法で形成した半導体結晶の断面図、

第2図(a)より第2図(c)迄は、本発明の方法の説明図、

第3図は本発明の方法の基板の加熱温度と時間との関係図、

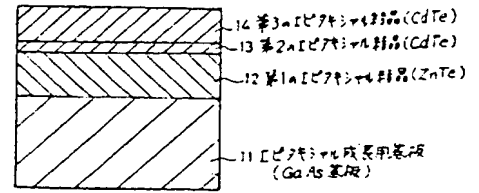
第4図は従来の方法で形成した半導体結晶の断面図である。

図において、

11はエピタキシャル成長用基板(GaAs基板)、12は第1のエピタキシャル結晶(ZnTe)、13は第2のエピタキシャル結晶(CdTe)、14は第3のエピタキシャル結晶(CdTe)、214, 218は加熱ヒータ、22は基板設置台、23, 26, 33はソース坩堝、24はZnTeソース、25は容器、27はCdTeソース、31はZnソース、32はCdソース、41はZnTeエピタキシャル成

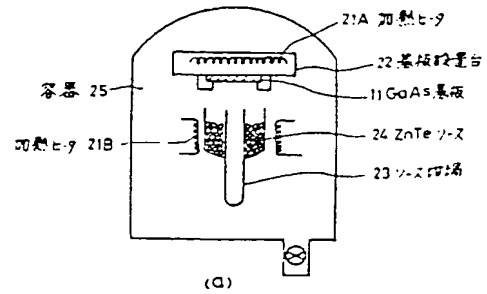
長温度プロフィール、42はCdTeエピタキシャル成長温度プロフィール、43は熱サイクル処理温度プロフィールを示す。

代理人 弁理士 井 術 貞



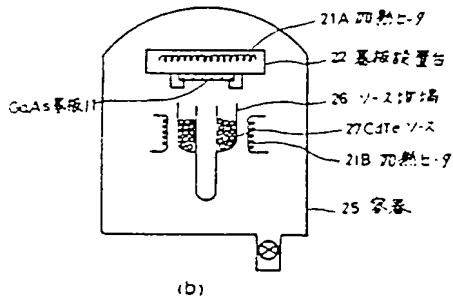
本発明の方法で形成した半導体結晶の断面図

第 1 図



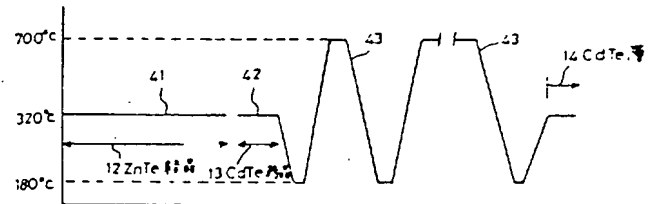
本発明の方法の説明図

第 2 図



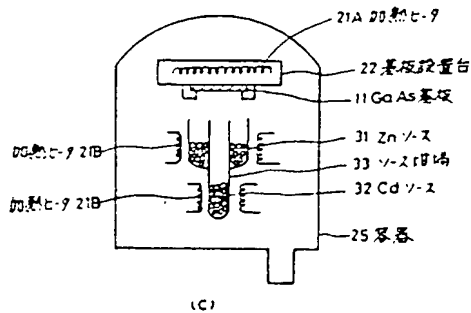
本発明の方法の説明図

第 2 図



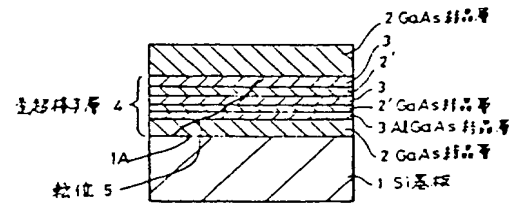
本発明の方法の基板加熱温度と時間との関係図

第 3 図



本発明の方法の説明図

第 2 図



従来方法で形成した半導体結晶の断面図

第 4 図

THIS PAGE BLANK (USPTO)